

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Yoshihiko TAKEDA et al.

Application No.: NEW

Group Art Unit: Not Yet Assigned

Filed: February 19, 2004

Examiner: Not Yet Assigned

For: BUS CONNECTION CIRCUIT AND BUS CONNECTION SYSTEM

SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-129840

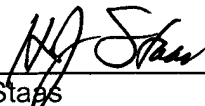
Filed: May 8, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: February 19, 2004

By: 
H. J. Stapp
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 5月 8日
Date of Application:

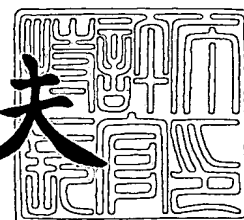
出願番号 特願2003-129840
Application Number:
[ST. 10/C]: [JP 2003-129840]

出願人 富士通株式会社
Applicant(s):

2003年12月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3101993

【書類名】 特許願

【整理番号】 0350291

【提出日】 平成15年 5月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/14

【発明の名称】 バス接続回路及びバス接続システム

【請求項の数】 5

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 竹田 由彦

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 湯浅 健太郎

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100094514

 【弁理士】

 【氏名又は名称】 林 恒徳

【選任した代理人】

 【識別番号】 100094525

 【弁理士】

 【氏名又は名称】 土井 健二

【手数料の表示】

 【予納台帳番号】 030708

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バス接続回路及びバス接続システム

【特許請求の範囲】

【請求項 1】 外部からデータをプリフェッチするための複数のプリフェッチバッファを有するブリッジ回路にバスを介して接続され、リクエストをアサートした後、前記プリフェッチバッファからのデータを受信するバス接続回路において、

複数のリクエストキューと、

前記複数のリクエストキューのリクエストのアービトレーションを行うアービターと、

前記アービターでアービトレーションされたリクエストに対応する前記プリフェッチバッファの割り当てを示すリクエスト信号を出力し、且つ前記ブリッジ回路から対応するグラント信号を受けるバスインターフェイス部とを有する

ことを特徴とするバス接続回路。

【請求項 2】 前記バスインターフェイス部は、前記リクエスト信号に応じた前記ブリッジ回路からのリトライ応答の受信に応じて、前記リクエスト信号による前記バスを開放し、他のプリフェッチバッファの割り当てを示すリクエスト信号を前記バスに出力する

ことを特徴とする請求項 1 のバス接続回路。

【請求項 3】 前記リクエストキューは、初めてのリードリクエストを、前記リトライ応答に応じたリードリクエストに優先して、アサートする

ことを特徴とする請求項 2 のバス接続回路。

【請求項 4】 前記リクエストキューは、前記リトライ応答を受けてから、前記リトライ応答に対応したリードリクエストをアサートするまでの時間を設定するレジスタを有する

ことを特徴とする請求項 2 のバス接続回路。

【請求項 5】 メモリからデータをプリフェッチするための複数のプリフェッチバッファを有するブリッジ回路と、

前記ブリッジ回路にバスを介して接続され、リクエストをアサートした後、前

記プリフェッチバッファからのデータを受信するバス接続回路とを有し、

前記バス接続回路は、

複数のリクエストキューと、

前記複数のリクエストキューのリクエストのアービトレーションを行うアービターと、

前記アービターでアービトレーションされたリクエストに対応する前記プリフェッチバッファの割り当てを示すリクエスト信号を出力し、且つ前記ブリッジ回路から対応するグラント信号を受けるバスインターフェイス部とを有する

ことを特徴とするバス接続システム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、高速で大容量のデータ転送を必要とするコンピュータシステムにおけるデータのプリフェッチ機能を利用したバス接続回路及びバス接続システムに関し、特に、P C I バスを内部に持つコンピュータシステム内で、データのプリフェッチ機能を利用して、大容量データの転送を効率化するためのバス接続回路及びバス接続システムに関する。

【0 0 0 2】

【従来の技術】

近年のコンピュータシステムにおいて、P C I (Peripheral Component Interconnect) バスは、高速で大容量のデータ転送を行うことのできる標準のバス規格として広く採用されている。P C I は、米Intel社が提唱したバス規格であって、米国の業界団体であるPCI Special Interest Group (PCI SIG) が仕様を策定し、公開している。P C I は、特にチップセットを介してI/Oデバイスをメモリと接続するのに利用され、I/Oデバイスとメモリ間のデータ転送を高速化するのに役に立っている。

【0 0 0 3】

図7はP C I バスを使用したコンピュータシステムのブロック図であり、C P U 1 0 1、メモリコントローラ1 0 0、メモリ1 0 2、ブリッジ回路1 0 3、P

CIデバイス104A, 104Bによって構成されたコンピュータシステムを示す。PCIデバイス104A, 104Bは、PCIバス114によって、ブリッジ103に接続され、CPU101、メモリ102、ブリッジ回路103は、それぞれ、プロセッサバス111、メモリバス112、メモリコントローラバス113によって、メモリコントローラ100に接続されている。

【0004】

PCIデバイス104A, 104Bは、ブリッジ103、メモリコントローラ100を介して、メモリ102へアクセスすることができる。ブリッジ回路103は、メモリコントローラバス113とPCIバス114とのバス間の速度、プロトコル等の相違を吸収するためのつなぎ動作を行う。

【0005】

このブリッジ回路103を経由してのデータ転送は、PCIバス的高速性をそこう可能性があるため、ブリッジ回路103に複数のプリフェッチバッファを設け、スループットを高める方法が利用されている（例えば、特許文献1）。

【0006】

図8は、従来のプリフェッチバッファを設けたブリッジ回路103を含むコンピュータシステムの構成図である。複数のPCIデバイス104A～104D、ブリッジ回路103、メモリ・ユニット100, 102から構成されたコンピュータシステムである。PCIデバイス104A～104Dおよびメモリ・ユニット100, 102は、それぞれPCIバス114およびメモリバス113, 112で、ブリッジ回路103に接続されている。

【0007】

ブリッジ回路103は、PCIインターフェイス回路210と、各PCIデバイス104A～104Dに対応した複数のプリフェッチバッファ221A～221Dと、メモリインターフェイス回路230とを持つ。PCIデバイス104A～104Dは、各々REQ信号およびGNT信号を一組持つPCIインターフェイス回路240を持つ。

【0008】

図9は、図8のコンピュータシステムにおいて、複数のPCIデバイスが、メ

メモリ・リード・リクエストを実行した場合の動作シーケンスの説明図であり、以下に詳細な動作を示す。

【0009】

(1) PCIデバイス104Aが、内部回路からのメモリ・リード・リクエストを実行するとき、PCIデバイス104Aは、PCIバス114に、リクエスト信号REQ331Aを使用して、リクエストを出す。

【0010】

(2) PCIデバイス104AのPCIインターフェイス部240は、ブリッジ回路103からグラント信号GNT332Aを受け取ると、PCIバスのプロトコルに従い、メモリ・リード・リクエストのトランザクションを開始する。

【0011】

(3) ブリッジ回路103のPCIインターフェイス部210は、メモリ・リード・リクエストを受け取ると、REQ331A/GNT332Aに対応するプリフェッチ・バッファ221Aをアサインして、PCIバス114には、リトライ応答をする。

【0012】

(4) PCIデバイス104Aがリトライ応答を受け取ると、一旦、PCIバス104を開放し、他のPCIデバイスが、PCIバス114を使用できるようにする。

【0013】

(5) 上記のアサインされたプリフェッチバッファ221Aは、メモリインターフェイス部230にメモリ・リードを行うように、メモリ・リード・リクエストを出す。

【0014】

(6) メモリインターフェイス部230は、メモリ・ユニット100, 102にメモリ・リード・リクエストのトランザクションを開始する。

【0015】

(7) メモリ・ユニット100, 102からリード・データが転送され、上記のアサインされたプリフェッチバッファ221Aに格納される。

【0016】

PCI デバイス 104B~104D も、(1)~(7) と同様にして、それぞれメモリ・リード・リクエストを実行する。通常、ブリッジ回路 103 のメモリインターフェイス部 230 がメモリ・リードを実行してから、リード・データを受け取るまでの時間は非常に長いため、各 PCI デバイス 104A~104D による (1)~(7) の動作は、時間差をもってオーバーラップして行われる。

【0017】

(8) PCI デバイス 104A が、(1)~(3) と同様にして、ブリッジ回路 103 へメモリ・リード・リクエストを実行する。

【0018】

(9) ブリッジ回路 103 の PCI インターフェイス部 210 は、メモリ・リード・リクエストを受け取ると、そのリクエストが使用した REQ331A/GNT332A に対応するプリフェッチバッファ 221A を確認して、リード・データが格納されている場合、PCI バス 114 にデータ転送を開始する。

【0019】

PCI デバイス 104B~104D も、(8)~(9) の動作と同様にして、再びブリッジ回路 103 へメモリ・リード・リクエストを実行して、リード・データの転送を開始する。

【0020】

上記のように、プリフェッチバッファを使用することにより、PCI バスを有効に使用することが出来、システム全体としてのスループットが向上する。

【0021】

【特許文献1】

特開平 11-238030 号公報 (図 13 乃至図 15 参照)

【0022】

【発明が解決しようとする課題】

このように、従来技術では、ブリッジ回路に複数のプリフェッチバッファを用意することにより、PCI バスを複数の PCI デバイスで時分割使用し、高速なメモリアクセスを可能とするものであった。しかしながら、回路構成によっては、必ずしも、PCI バスに、プリフェッチバッファ数の PCI デバイスが接続さ



れない場合がある。

【0023】

例えば、図10に示すように、1つのPCIデバイス104A、ブリッジ回路103、メモリ・ユニット100、102から構成されたコンピュータシステムを構築する場合がある。ここで、PCIデバイス104Aおよびメモリ・ユニット100、102は、それぞれPCIバス114およびメモリバス113、112でブリッジ回路103に接続されている。ブリッジ回路103は、複数のプリフェッチバッファ221A～221Dを持つ。又、PCIデバイス104Aは、一組のREQ/GNT信号を持つ。

【0024】

図11は、図10のコンピュータシステムにおいて、PCIデバイス104Aがメモリ・リード・リクエストを実行した場合の動作シーケンスの説明図であり、以下に詳細な動作を示す。

【0025】

(1) PCIデバイス104Aがメモリ・リード・リクエストを実行するとき、PCIデバイス104Aは、PCIバス114にREQ531を使用してリクエストを出す。

【0026】

(2) PCIデバイス104AのPCIインターフェイス部240は、ブリッジ回路103からGNT532を受け取ると、PCIバスのプロトコルに従い、メモリ・リード・リクエストのトランザクションを開始する。

【0027】

(3) ブリッジ回路103のPCIインターフェイス部210は、メモリ・リード・リクエストを受け取ると、REQ531/GNT532に対応するプリフェッチバッファ221Aをアサインして、PCIバス114にはリトライ応答をする。

【0028】

(4) PCIデバイス104Aがリトライ応答を受け取ると、一旦、PCIバス114を開放する。

【0029】

(5) 上記のアサインされたプリフェッチバッファ 221A は、メモリアンターフェース部 230 にメモリ・リードを行うようにメモリ・リード・リクエストを出す。

【0030】

(6) メモリアンターフェース部 230 は、メモリ・ユニット 100, 102 にメモリ・リード・リクエストのトランザクションを開始する。

【0031】

(7) PCI デバイス 104A が (1) ~ (3) の動作と同様にして、ブリッジ回路 103 へメモリ・リード・リクエストを再び実行する。

【0032】

(8) ブリッジ回路 103 の PCI インターフェイス部 210 は、メモリ・リード・リクエストを受け取ると、そのリクエストが使用した REQ531/GNT532 に対応するプリフェッチバッファ 221A を確認するが、まだリード・データが格納されていないため、PCI バス 114 にはリトライ応答をする。

【0033】

(9) PCI デバイス 104A がリトライ応答を受け取ると、一旦、PCI バス 114 を開放する。(7) ~ (9) の動作が数回繰り返される。

【0034】

(10) メモリ・ユニット 100, 102 からリード・データが転送され、上記のアサインされたプリフェッチバッファ 221A に格納される。

【0035】

(11) PCI デバイス 104A が (1) ~ (3) の動作と同様にして、ブリッジ回路 103 へメモリ・リード・リクエストを実行する。

【0036】

(12) ブリッジ回路 103 の PCI インターフェイス部 210 はメモリ・リード・リクエストを受け取ると、そのリクエストが使用した REQ531/GNT532 に対応するプリフェッチバッファ 221A を確認し、リード・データが格納されているため、PCI バス 114 にデータ転送を開始する。

【0037】

このように1つのP C I デバイスしか接続されていない場合、プリフェッチバッファは、REQ/GNTに対応した1つしか使用されないため、P C I デバイスは、1つのメモリ・リード・リクエストしか同時に実行することができない。

【0038】

このため、P C I デバイスがメモリ・リード・リクエストを出し、ブリッジ回路がリトライ応答を返した後から、プリフェッチバッファにリード・データを格納されるまで時間が、リトライ応答に対するリード・リクエストを繰り返すだけで全て無駄になってしまい、システム全体としてスループットが低下する。

【0039】

また、通常、P C I バスのメモリインターフェイス部がメモリ・リードを実行してから、データを受け取るまでの時間は非常に長いため、リトライ応答後にすぐにメモリ・リード・リクエストを再実行しても、ブリッジ回路が再度P C I バスにリトライ応答をするだけとなり、無駄にP C I バスを使用するだけとなり、システム全体としてスループットが低下してしまう。

【0040】

更に、P C I デバイスが、初めてのメモリ・リード・リクエストと、ブリッジ回路からリトライ応答に対するメモリ・リード・リクエストが同時に要求され、リトライ応答に対するメモリ・リード・リクエストがP C I バスの使用权を獲得し、メモリ・リード・リクエストのトランザクションを開始した場合には、上記のとおりブリッジ回路のプリフェッチバッファにリード・データが格納されていない可能性が大きいため、P C I バスを無駄に使用するだけとなり、システム全体としてのスループットが低下する可能性が高い。

【0041】

従って、本発明の目的は、ブリッジ回路の複数のプリフェッチバッファの数より少ないバス接続デバイスを、ブリッジ回路に接続しても、プリフェッチバッファを有効に利用し、システムのスループットを向上するためのバス接続回路及びバス接続システムを提供することにある。

【0042】

又、本発明の他の目的は、ブリッジ回路からのリトライ応答に対する無駄なり

ード・リクエストを減らすことにより、バスの無駄な使用を減少し、データ転送の効率を向上するためのバス接続回路及びバス接続システムを提供することにある。

【0043】

【課題を解決するための手段】

この目的を解決するために、本発明のバス接続回路は、外部からデータをプリフェッチするための複数のプリフェッチバッファを有するブリッジ回路にバスを介して接続され、リクエストをアサートした後、前記プリフェッチバッファからのデータを受信するバス接続回路において、複数のリクエストキューと、前記複数のリクエストキューのリクエストのアービトレーションを行うアービターと、前記アービターでアービトレーションされたリクエストに対応する前記プリフェッチバッファの割り当てを示すリクエスト信号を出力し、且つ前記ブリッジ回路から対応するグラント信号を受けるバスインターフェイス部とを有する。

【0044】

又、本発明のバス接続システムは、メモリからデータをプリフェッチするための複数のプリフェッチバッファを有するブリッジ回路と、前記ブリッジ回路にバスを介して接続され、リクエストをアサートした後、前記プリフェッチバッファからのデータを受信するバス接続回路とを有し、前記バス接続回路は、複数のリクエストキューと、前記複数のリクエストキューのリクエストのアービトレーションを行うアービターと、前記アービターでアービトレーションされたリクエストに対応する前記プリフェッチバッファの割り当てを示すリクエスト信号を出力し、且つ前記ブリッジ回路から対応するグラント信号を受けるバスインターフェイス部とを有する。

【0045】

本発明によれば、複数のリクエストキューと、複数のリクエスト信号の出力及びグラント信号の入力を1つのバス接続デバイスに付与したので、1つのバス接続デバイスによって、ブリッジ回路の複数のプリフェッチバッファを有効に利用することができ、またブリッジ回路からのリトライ応答に対応する無駄なリード・リクエストを減らすことができ、PCIバスの無駄な使用を減らすことが出来る

。これによって、データ転送の効率が高まり、システム全体のスループットを向上することが出来る。

【0046】

又、本発明では、好ましくは、前記バスインターフェイス部は、前記リクエスト信号に応じた前記ブリッジ回路からのリトライ応答の受信に応じて、前記リクエスト信号による前記バスを開放し、他のプリフェッチバッファの割り当てを示すリクエスト信号を前記バスに出力する。これにより、1つのバス接続回路で、リクエストを順次ブリッジ回路に依頼でき、スループットを向上できる。

【0047】

又、本発明では、好ましくは、前記リクエストキューは、初めてのリードリクエストを、前記リトライ応答に応じたリードリクエストに優先して、アサートする。これにより、他のリクエストを、リトライ応答のリクエストに優先して、ブリッジ回路にアサートでき、一層、バスを有効に利用できる。

【0048】

更に、本発明では、好ましくは、前記リクエストキューは、前記リトライ応答を受けてから、前記リトライ応答に対応したリードリクエストをアサートするまでの時間を設定するレジスタを有する。これにより、リトライ応答に対するリードリクエストまでの時間を、システムに応じて任意に設定できる。

【0049】

更に、本発明では、好ましくは、前記複数のリクエストキューにリードリクエストを発行する内部回路を更に有する。これにより、内部回路から順次リードリクエストを発行しても、容易に処理できる。

【0050】

更に、本発明では、好ましくは、前記リクエストが、前記ブリッジ回路を介するメモリに対するリードリクエストである。これにより、大容量のリード転送を効率良くできる。

【0051】

更に、本発明では、好ましくは、前記バスがP C Iバスである。これにより、高速転送が可能なP C Iバスの性能を発揮できる。

【0052】**【発明の実施の形態】**

以下、本発明の実施の形態を、バス接続回路を含むバス接続システム、バスを使用したメモリリード動作、他の実施の形態の順で説明する。

【0053】**[バス接続システム]**

図1は、本発明の一実施の形態によるPCIデバイスを含むコンピュータシステムの構成図である。図1に示すように、PCIデバイス601は、内部回路650と、4つのリード・リクエスト・キュー651A～651Dと、アービター652と、PCIインターフェイス部641とを持つ。

【0054】

このPCIデバイス601が、PCIバス611及び4つのREQ/GNT線、応答線でブリッジ回路602と接続される。又、メモリ・ユニット603がメモリバス612でブリッジ回路602と接続されている。ブリッジ回路602は、PCIインターフェイス回路620と、4つのプリフェッチバッファ621A～621Dと、メモリインターフェイス回路622とを持つ。

【0055】

PCIデバイス601の4つのリード・リクエスト・キュー651A～651Dが、PCIデバイス601の内部回路650からのリード・リクエストを受け取ると、各リード・リクエスト・キュー651A～651Dは、アービター652にリード・リクエストを送出する。

【0056】

アービター652は、各リード・リクエスト651A～651Dのアービトレーションを行い、そのうちの1つをPCIインターフェイス部641に送出する。PCIインターフェイス部641内に設けられたステートマシン653は、PCIバス611に複数あるリクエストREQ#のうち、リード・リクエスト・キューに対応したリクエスト線に、REQ#をアサートする。

【0057】

図2及び図3により、更に具体的に、図1のPCIデバイス601の構成を説

明する。図2に示すように、PCIデバイス601のリード・リクエスト・キュー651A～651Dは、それぞれがリクエストの状態を記憶するステートマシン861A～861Dと、リード・リクエスト・キューがアービトレーション要求を出す間隔を数えるカウンタ862A～862Dと、カウンタの値が設定値を超えたことを検出する比較器863A～863Dと、アドレスやコマンドなどの情報を保持するレジスタ864A～864Dとから構成される。

【0058】

アービター652は、リクエスト・キュー651A～651Dからの高優先度のリード・リクエスト間のアービトレーションを行う第1のアービトレーション回路852Aと、低優先度のリード・リクエスト間のアービトレーションを行う第2のアービトレーション回路852Bと、第1、第2のアービトレーション回路852A、852Bの出力間のアービトレーションを固定の優先順位で行う第3のアービトレーション回路853と、選ばれたリード・リクエスト・キューのリクエスト情報（アドレス・コマンド）を選択するマルチプレクサ854とからなる。

【0059】

第3のアービトレーション回路853は、高優先度のリード・リクエストと低優先度のリード・リクエストがある場合、必ず高優先度のリード・リクエストをアサートする。

【0060】

PCIインターフェイス部641は、PCIバス611のPCIインターフェイス制御を行うものであり、PCIバス611が解放されている時に、アービター853からアービトレーションされたリード・リクエストを取り出し、対応するリクエスト線にREQ#をアサート、グラント線のGNT#を対応するキューに伝達するPCIインターフェイス制御を行うステートマシン653を備える。

【0061】

図3に示すように、各リード・リクエスト・キュー651A～651D内のステートマシン861A～861Dは、PCIデバイス601内部から新しいリード・リクエストを受けると、高優先度でリクエストをアサートする第1の状態に

なり、ブリッジ回路602からのリトライ応答を受けると、低優先度でリクエスト（リトライに対するリクエスト）をアサートする第2の状態になる。又、グラント信号GNTを受け、トランザクションを開始し、アクティブとなり、データ転送の終了で、アイドル状態に戻る。

【0062】

このため、初めてのリード・リクエストを優先して（高優先度）、ブリッジ回路602へリード・リクエストを送出でき、PCIバスを有効に利用できるため、システム全体のスループットを高めることができる。

【0063】

ブリッジ回路602からのリトライ応答に対するリード・リクエストの間隔（一定時間）は、リード・リクエスト・キュー651A～651D内の比較器863A～863Dにリクエスト間隔値として設定する。比較器863A～863Dは、この値とカウンタ値と比較して、カウンタ値がリクエスト間隔値を超えた場合に、リトライ応答に対するリード・リクエストをアサートすることができる。

【0064】

一方、PCIインターフェイス部641のステートマシン653は、アイドル状態からグラント信号GNT#を受信すると、アクティブとなり、リトライ応答を受信するか、データ転送の完了を検出すると、アイドル状態に戻る。

【0065】

次に、ブリッジ回路602を、図4及び図5で説明する。図4に示すように、PCIインターフェイス部620は、ページアドレスレジスタ623と、アドレス比較部624と、ターゲットステートマシン625と、PCIアービター626とを有する。プリフェッチバッファ621A～621Dは、バッファステートマシン627（図5参照）と、プリフェッチバッファ628とを有するバッファ制御部で構成される。

【0066】

PCIアービター626は、PCIデバイスからのREQ#信号を受けて、グラントGNT#信号をアサートする。PCIデバイスは、グラントGNT#を受け取った時だけ、トランザクションを開始できるので、ブリッジ回路602は、

自分のアサートしたGNT#信号を見て、どのPCIデバイスがトランザクションを開始したかを判断できる。

【0067】

PCIデバイスは、トランザクションを開始すると、まず、PCIバス611のAD（アドレス・データ線）にアドレスを送出するので、PCIインターフェイス部620は、ページアドレスレジスタ623と受け取ったアドレスとを比較器624で比較する。アドレスが一致すると、ターゲットマシン625が、起動して、バッファ制御部621A～621Dにリード要求を受信したことを通知するとともに、受け取ったアドレスを転送する。

【0068】

バッファ制御部621A～621Dのステートマシン627は、図5に示すように、PCIインターフェイス部620からのリード要求受信信号と、PCIアービター620からのGNT信号から、リード要求を受けたことを判断し、初めてリード要求を受けた時は、又はリードデータの準備ができてない場合には、リトライで応答する。又、リードデータが、プリフェッチバッファ628内に準備できている時は、データ転送可能なことを、ターゲットステートマシン625に通知し、データをPCIインターフェイス部620に転送する。

【0069】

PCIインターフェイス部620のターゲットステートマシン625は、バッファ制御部621A～621Dからの応答が、リトライかデータ転送可能かに応じて、PCIバス611のトランザクションを行う。

【0070】

[PCIデバイスのメモリリード動作]

図6は、図1乃至図5のコンピュータシステムにおいて、PCIデバイス601がメモリ・リード・リクエストを実行した場合の動作シーケンス図であり、以下に詳細な動作を示す。

【0071】

(1) 各リード・リクエスト・キュー651A～651Dがメモリ・リード・リクエストを送出する。

【0072】

(2) PCI デバイス 601 の PCI インターフェイス部 641 は、リード・リクエスト・キュー 651A からのメモリ・リード・リクエストをリクエスト REQ731A で実行する。

【0073】

(3) ブリッジ回路 602 の PCI インターフェイス部 620 は、プリフェッチバッファ 621A をアサインし、PCI バス 611 にリトライ応答をして、PCI バス 611 を開放させる。

【0074】

(4) プリフェッチバッファ 621A は、メモリインターフェイス部 622 にメモリ・リードを行うようにリード・リクエストを出す。

【0075】

(5) メモリインターフェイス部 622 は、メモリ・ユニット 603 にメモリ・リード・リクエストのトランザクションを開始する。

【0076】

(6) メモリ・ユニット 603 からメモリ・リード・データが転送され、プリフェッチバッファ 621A に格納される。

【0077】

リード・リクエスト・キュー 651B～651D のメモリ・リード・リクエストについても、(2)～(6) と同様にして、メモリ・リード・リクエストを実行する。通常、ブリッジ回路 602 のメモリインターフェイス部 622 がメモリ・リードを実行してから、リード・データを受け取るまでの時間は非常に長いので、各リード・リクエスト・キュー 651A～651D のリード・リクエストによる (2)～(6) の動作は時間差をもってオーバーラップして行われる。

【0078】

(7) リード・リクエスト・キュー 651A が、メモリ・リード・リクエストを送出し、PCI デバイス 601 の PCI インターフェイス部 641 がメモリ・リード・リクエストを REQ731A で実行する。

【0079】

(8) ブリッジ回路 602 の P C I インターフェイス部 620 は、プリフェッチバッファ 621 A を確認し、格納されているリード・データを P C I インターフェイス部 620 に転送開始する。

【0080】

(9) ブリッジ回路 602 の P C I インターフェイス部 620 は、リード・データを P C I バス 611 にデータ転送開始する。

【0081】

リード・リクエスト・キュー 651 A ~ 651 D も (8) ~ (9) の動作と同様にして、再びメモリ・リード・リクエストを実行して、リード・データの転送を開始する。

【0082】

このように、1つの P C I デバイスにリード・リクエスト・キューを複数設け、リード・リクエスト・キューに対応する複数の REQ/GNT を与えることによって、ブリッジ回路の複数のプリフェッチバッファを有効に利用することが出来、P C I バスを有効に使用することが出来るため、システム全体としてのスループットが向上する。

【0083】

又、図 2 で説明したように、リード・リクエスト・キューは、それぞれがリクエストの状態を記憶するステートマシン 861 A ~ 861 D、リード・リクエスト・キューがアービトレーション要求を出す間隔を数えるカウンタ、カウンタの値が設定値を超えたことを検出する比較器、アドレスやコマンドなどの情報を保持するレジスタから構成される。

【0084】

このため、ブリッジ回路からのリトライ応答に対するリード・リクエストの間隔は、リード・リクエスト・キュー内の比較器にリクエスト間隔値として設定し、比較器はこの値とカウンタ値と比較して、カウンタ値がリクエスト間隔値を超えた場合に、リトライ応答に対するリード・リクエストをアサートすることができる。このため、2回目以降のリード・リクエストにおいて、ブリッジ回路によりリトライ応答を返されるだけの無駄な P C I バスの利用を減らすことができ、

システム全体のスループットを高めることが出来る。

【0085】

更に、リード・リクエスト・キュー内のステートマシンは、P C I デバイス内部から新しいリード・リクエストを受けると、高優先度でリクエストをアサートする第1の状態になり、ブリッジからのリトライ応答を受けると、低優先度でリクエストをアサートする第2の状態になる。

【0086】

このため、初めてのリード・リクエストを優先して、ブリッジ回路へリード・リクエストを送出でき、P C I バスを有効に利用できるため、システム全体のスループットを高めることができる。

【0087】

[他の実施の形態]

前述の説明では、4つのプリフェッチバッファを有するブリッジ回路に、4つのリクエストキューを持つP C I デバイスを接続したシステムで説明したが、2つのリクエストキューを持つ2つのP C I デバイスを接続したシステムにも同様に適用できる。

【0088】

又、プリフェッチバッファの数やリクエストキューの数は、4つに限らず、2つ以上の複数であれば、同様に適用できる。更に、バスをP C I バスで説明したが、他の形式のバスにも適用できる。

【0089】

以上、本発明を実施の形態により説明したが、本発明は上記の実施形態に限定されるものではなく、その目的と利点を失わない範囲で適当な変形による種々の実施形態を含むことはもちろんである。

【0090】

(付記1) 外部からデータをプリフェッチするための複数のプリフェッチバッファを有するブリッジ回路にバスを介して接続され、リクエストをアサートした後、前記プリフェッチバッファからのデータを受信するバス接続回路において、複数のリクエストキューと、前記複数のリクエストキューのリクエストのアービ



トレーションを行うアービターと、前記アービターでアービトレーションされたリクエストに対応する前記プリフェッチバッファの割り当てを示すリクエスト信号を出力し、且つ前記ブリッジ回路から対応するグラント信号を受けるバスインターフェイス部とを有することを特徴とするバス接続回路。

【0091】

(付記2) 前記バスインターフェイス部は、前記リクエスト信号に応じた前記ブリッジ回路からのリトライ応答の受信に応じて、前記リクエスト信号による前記バスを開放し、他のプリフェッチバッファの割り当てを示すリクエスト信号を前記バスに出力することを特徴とする付記1のバス接続回路。

【0092】

(付記3) 前記リクエストキューは、初めてのリードリクエストを、前記リトライ応答に応じたリードリクエストに優先して、アサートすることを特徴とする付記2のバス接続回路。

【0093】

(付記4) 前記リクエストキューは、前記リトライ応答を受けてから、前記リトライ応答に対応したリードリクエストをアサートするまでの時間を設定するレジスタを有することを特徴とする付記2のバス接続回路。

【0094】

(付記5) 前記複数のリクエストキューにリードリクエストを発行する内部回路を更に有することを特徴とする付記1のバス接続回路。

【0095】

(付記6) 前記リクエストが、前記ブリッジ回路を介するメモリに対するリードリクエストであることを特徴とする付記1のバス接続回路。

【0096】

(付記7) 前記バスがP C Iバスであることを特徴とする付記1のバス接続回路。

【0097】

(付記8) メモリからデータをプリフェッチするための複数のプリフェッチバッファを有するブリッジ回路と、前記ブリッジ回路にバスを介して接続され、リ

クエストをアサートした後、前記プリフェッチバッファからのデータを受信するバス接続回路とを有し、前記バス接続回路は、複数のリクエストキューと、前記複数のリクエストキューのリクエストのアービトレーションを行うアービターと、前記アービターでアービトレーションされたリクエストに対応する前記プリフェッチバッファの割り当てを示すリクエスト信号を出力し、且つ前記ブリッジ回路から対応するグラント信号を受けるバスインターフェイス部とを有することを特徴とするバス接続システム。

【0098】

(付記9) 前記バス接続回路の前記バスインターフェイス部は、前記リクエスト信号に応じた前記ブリッジ回路からのリトライ応答の受信に応じて、前記リクエスト信号による前記バスを開放し、他のプリフェッチバッファの割り当てを示すリクエスト信号を前記バスに出力することを特徴とする付記8のバス接続システム。

【0099】

(付記10) 前記バス接続回路の前記リクエストキューは、初めてのリードリクエストを、前記リトライ応答に応じたリードリクエストに優先して、アサートすることを特徴とする付記9のバス接続システム。

【0100】

(付記11) 前記バス接続回路の前記リクエストキューは、前記リトライ応答を受けてから、前記リトライ応答に対応したリードリクエストをアサートするまでの時間を設定するレジスタを有することを特徴とする付記9のバス接続システム。

【0101】

(付記12) 前記バス接続回路は、前記複数のリクエストキューにリードリクエストを発行する内部回路を更に有することを特徴とする付記8のバス接続システム。

【0102】

(付記13) 前記リクエストが、前記ブリッジ回路を介するメモリに対するリードリクエストであることを特徴とする付記8のバス接続システム。

【0103】

(付記14) 前記バスが、P C Iバスであることを特徴とする付記8のバス接続システム。

【0104】

(付記15) 前記ブリッジ回路は、前記リクエスト信号に応じて、対応するプリフェッチバッファをアサインし、且つ前記バス接続回路にリトライ応答を出力し、前記メモリにリード要求を出力することを特徴とする付記8のバス接続システム。

【0105】

(付記16) 前記ブリッジ回路は、前記リトライ応答に対するリクエスト信号に応じて、対応するプリフェッチバッファを調べ、前記プリフェッチバッファのデータを前記バス接続回路に転送することを特徴とする付記15のバス接続システム。

【0106】

【発明の効果】

以上説明したように、本発明によれば、複数のリクエストキューと、複数のリクエスト信号の出力及びグラント信号の入力を1つのバス接続デバイスに付与したので、1つのバス接続デバイスによって、ブリッジ回路の複数のプリフェッチバッファを有効に利用することができ、またブリッジ回路からのリトライ応答に対応する無駄なリード・リクエストを減らすことができ、P C Iバスの無駄な使用を減らすことが出来る。これによって、データ転送の効率が高まり、システム全体のスループットを向上することが出来る。

【図面の簡単な説明】

【図1】

本発明の一実施の形態のコンピュータシステムのブロック図である。

【図2】

図1のP C Iデバイスのブロック図である。

【図3】

図1のP C Iデバイスのステートマシンの処理フロー図である。

【図 4】

図 1 のブリッジ回路のブロック図である。

【図 5】

図 4 に示すバッファステートマシンの処理フロー図である。

【図 6】

図 1 のリードリクエストの動作説明図である。

【図 7】

従来のコンピュータシステムのブロック図である。

【図 8】

従来の P C I デバイスを含むコンピュータシステムのブロック図である。

【図 9】

従来のリードリクエストの動作シーケンス図である。

【図 10】

従来の P C I デバイスの問題点の説明図である。

【図 11】

図 10 の従来の P C I デバイスのリードリクエストシーケンス図である。

【符号の説明】

100 メモリコントローラ

101 CPU

102 メモリ

103, 602 ブリッジ回路

104A～104D, 601 P C I デバイス

111 プロセッサバス

112 メモリバス

113 メモリコントローラバス

114, 611 P C I バス

603 メモリ・ユニット

612 メモリバス

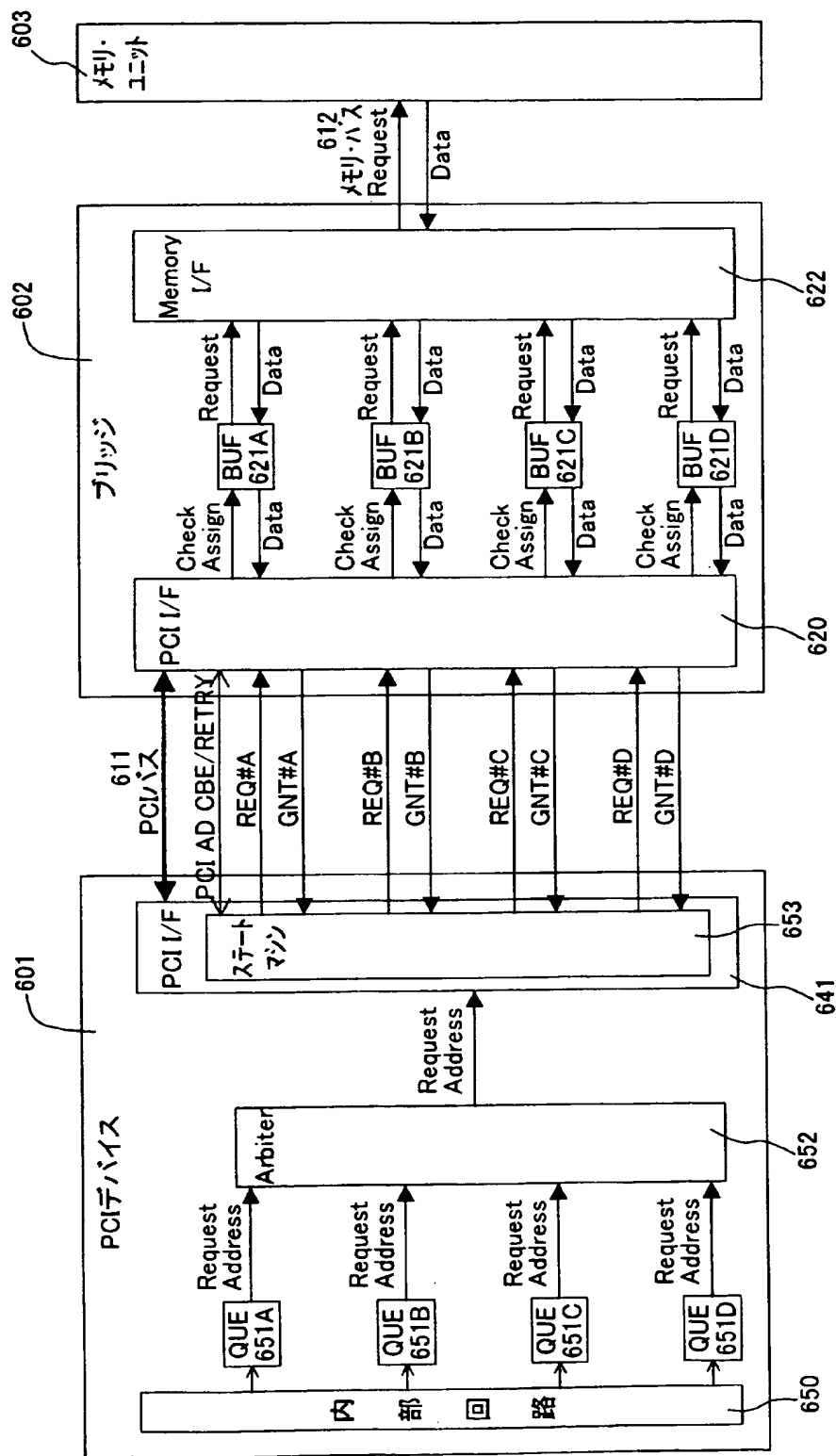
221A～221D, 621A～621D プリフェッチバッファ

6 5 1 A ~ 6 5 1 D リード・リクエスト・キュー
6 5 2 アービター
6 4 1 P C I インターフェイス部
6 5 3 P C I インターフェイス部の内部のステートマシン
6 2 0 ブリッジ回路の P C I インターフェイス部
6 2 2 メモリインターフェイス部
8 5 2 A 第一のアービトレーション回路
8 5 2 B 第二のアービトレーション回路
8 5 3 第三のアービトレーション回路
8 5 4 マルチプレクサ

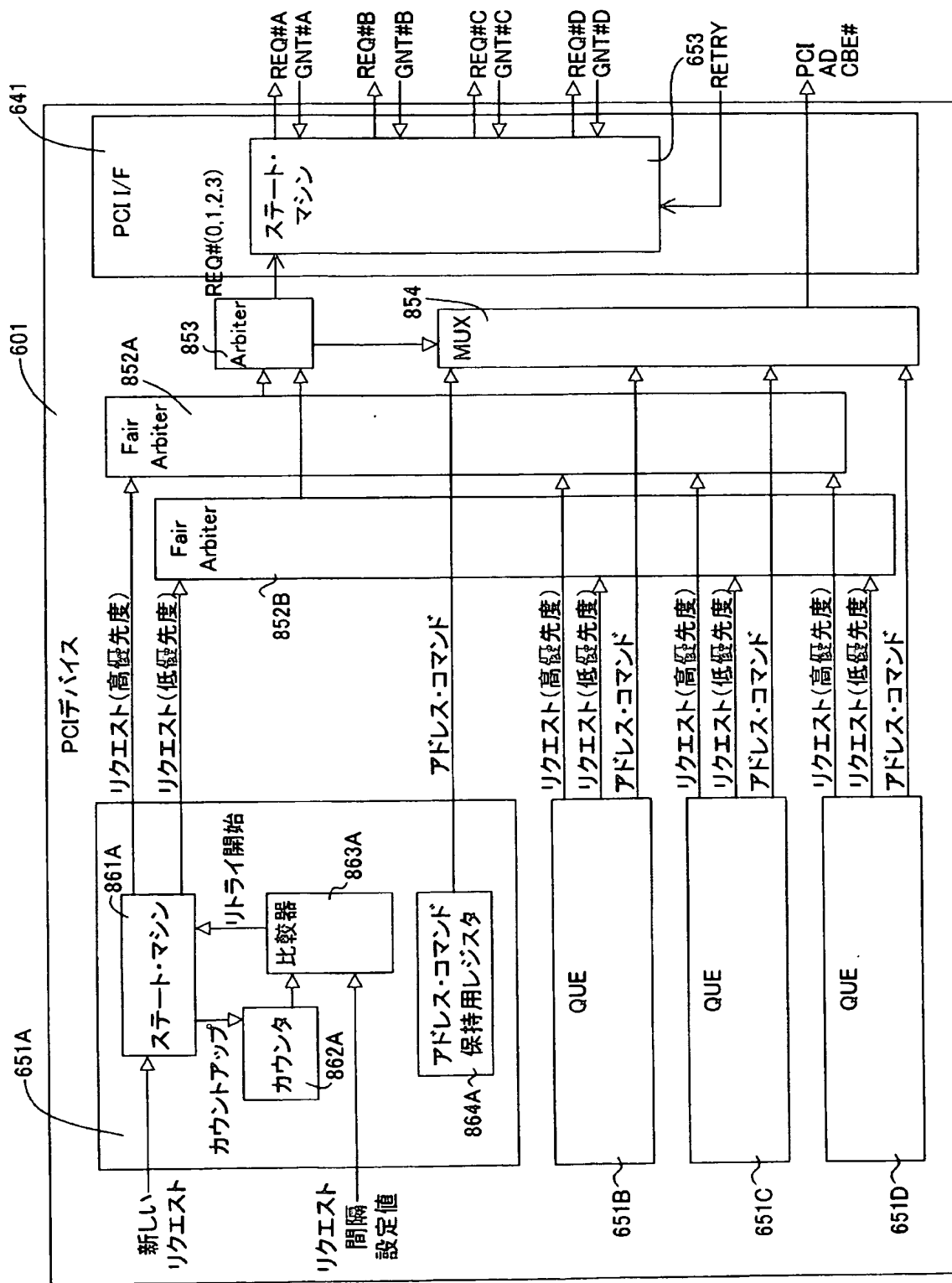
【書類名】

図面

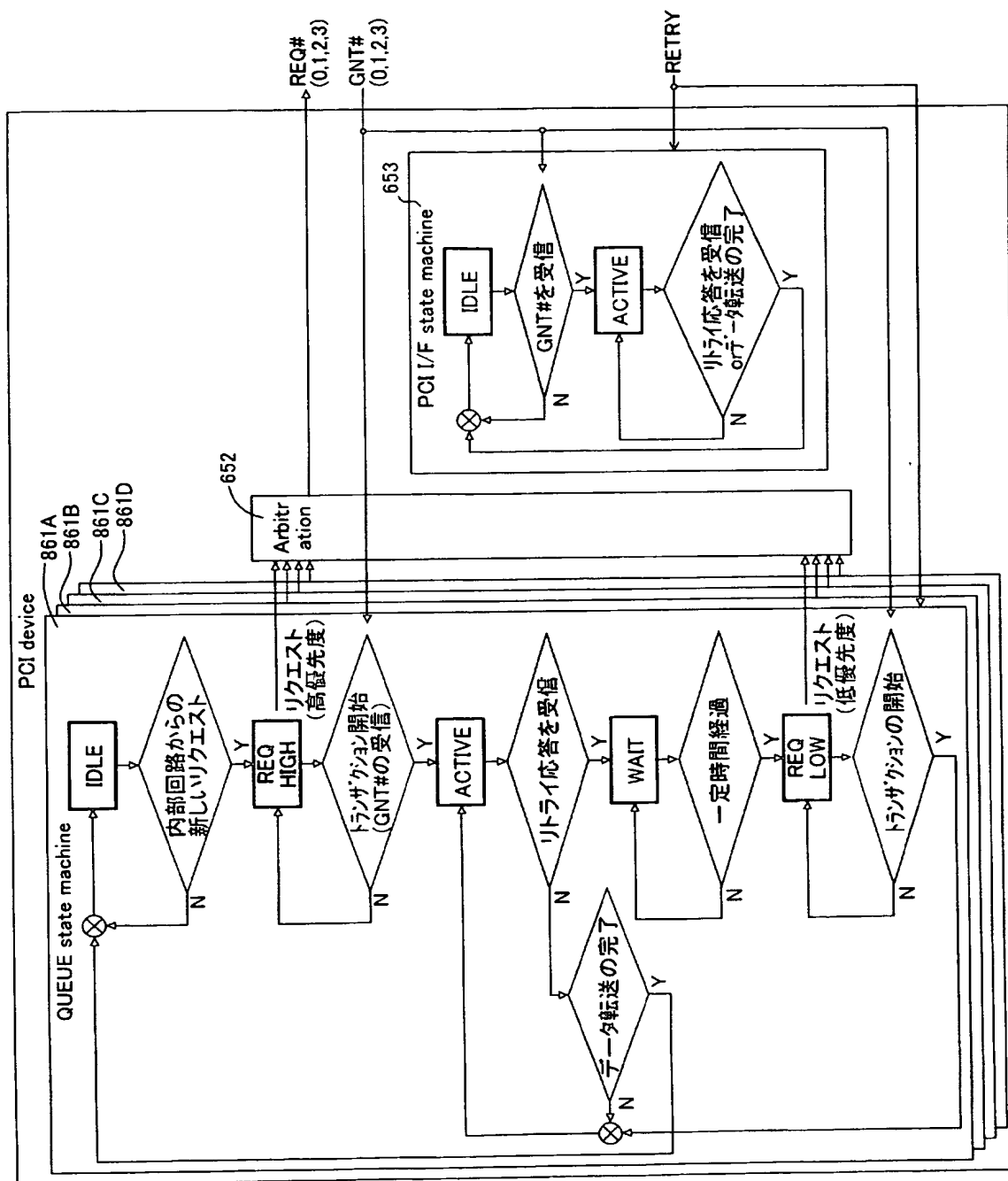
【図 1】



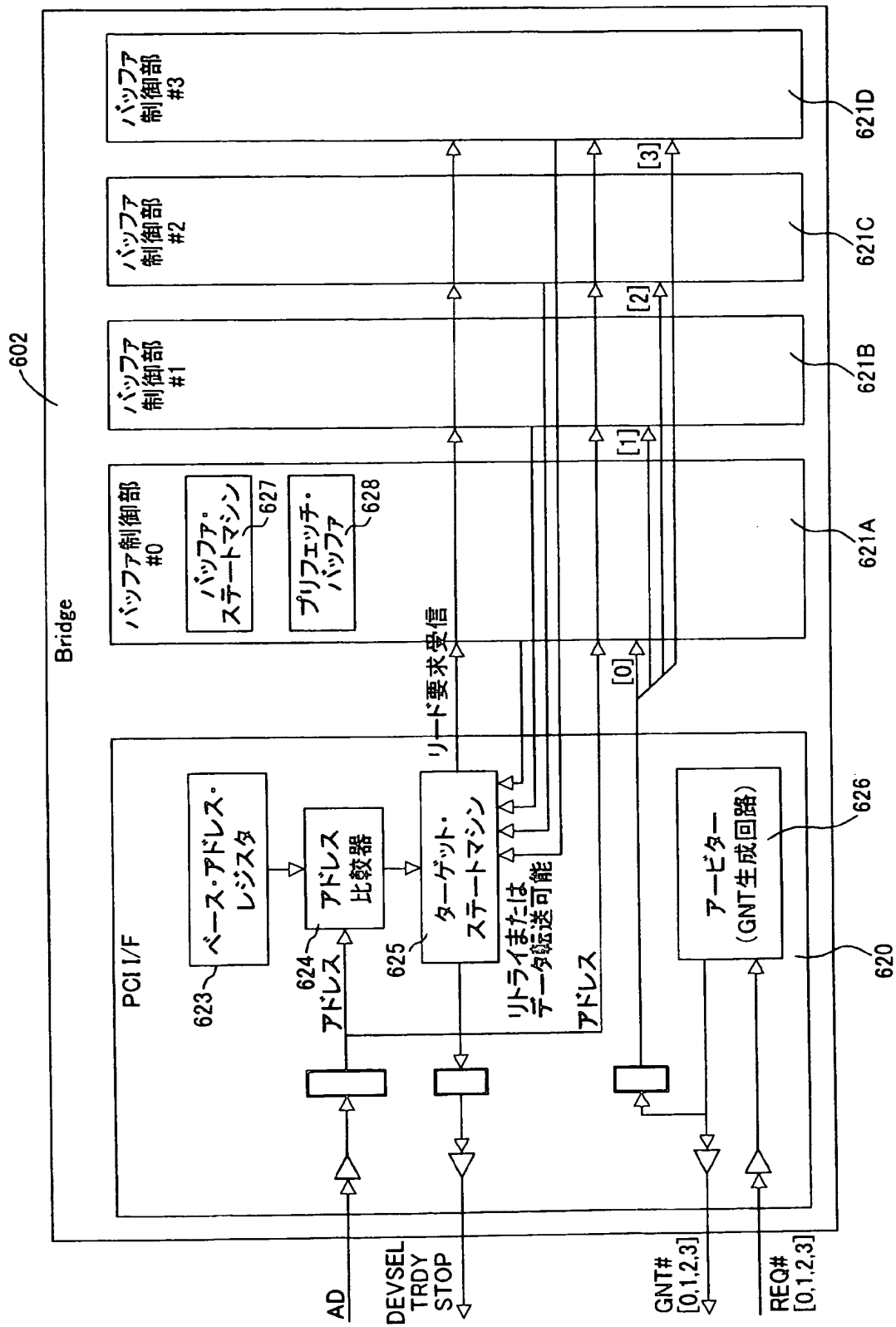
【図 2】



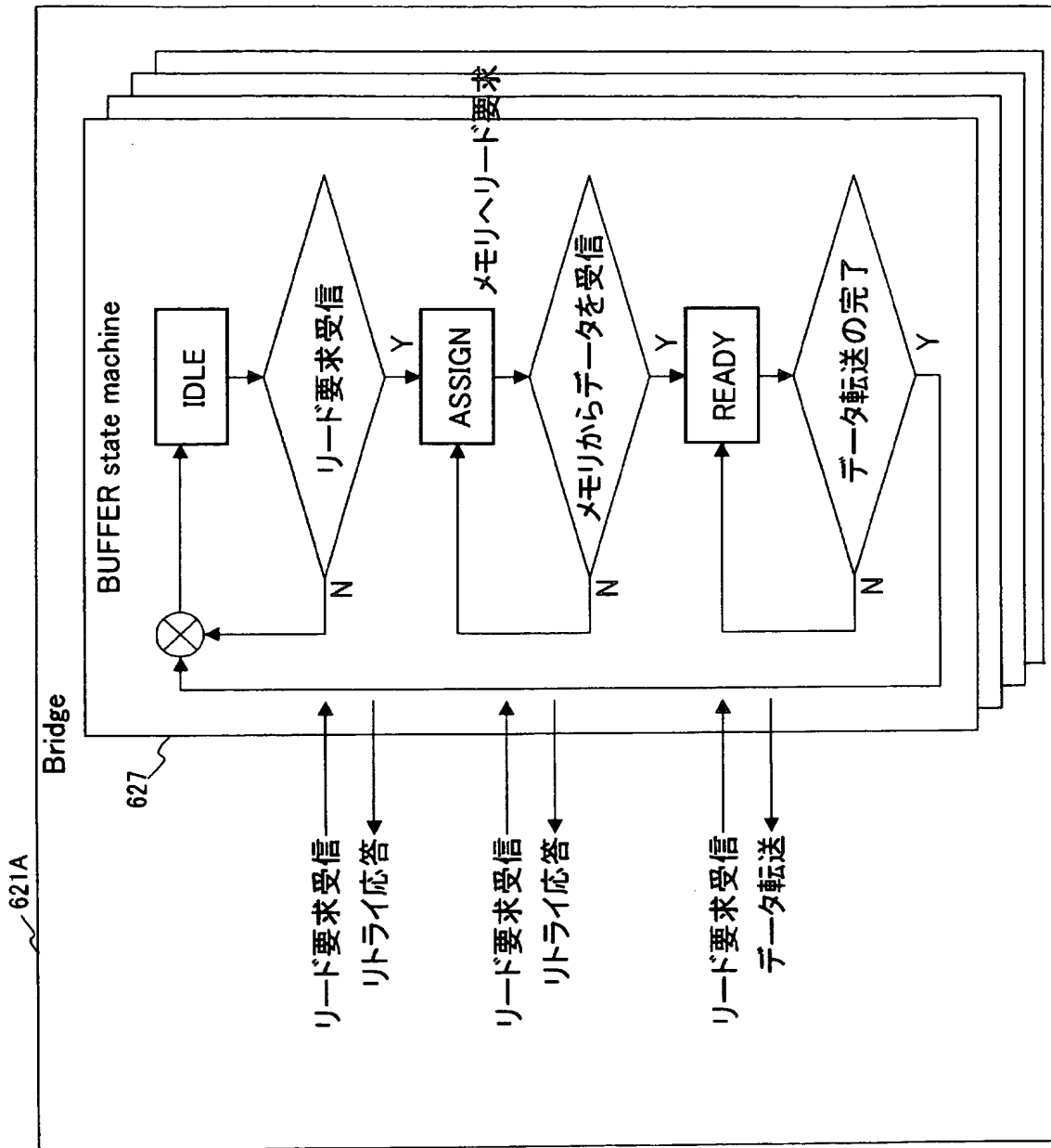
【図 3】



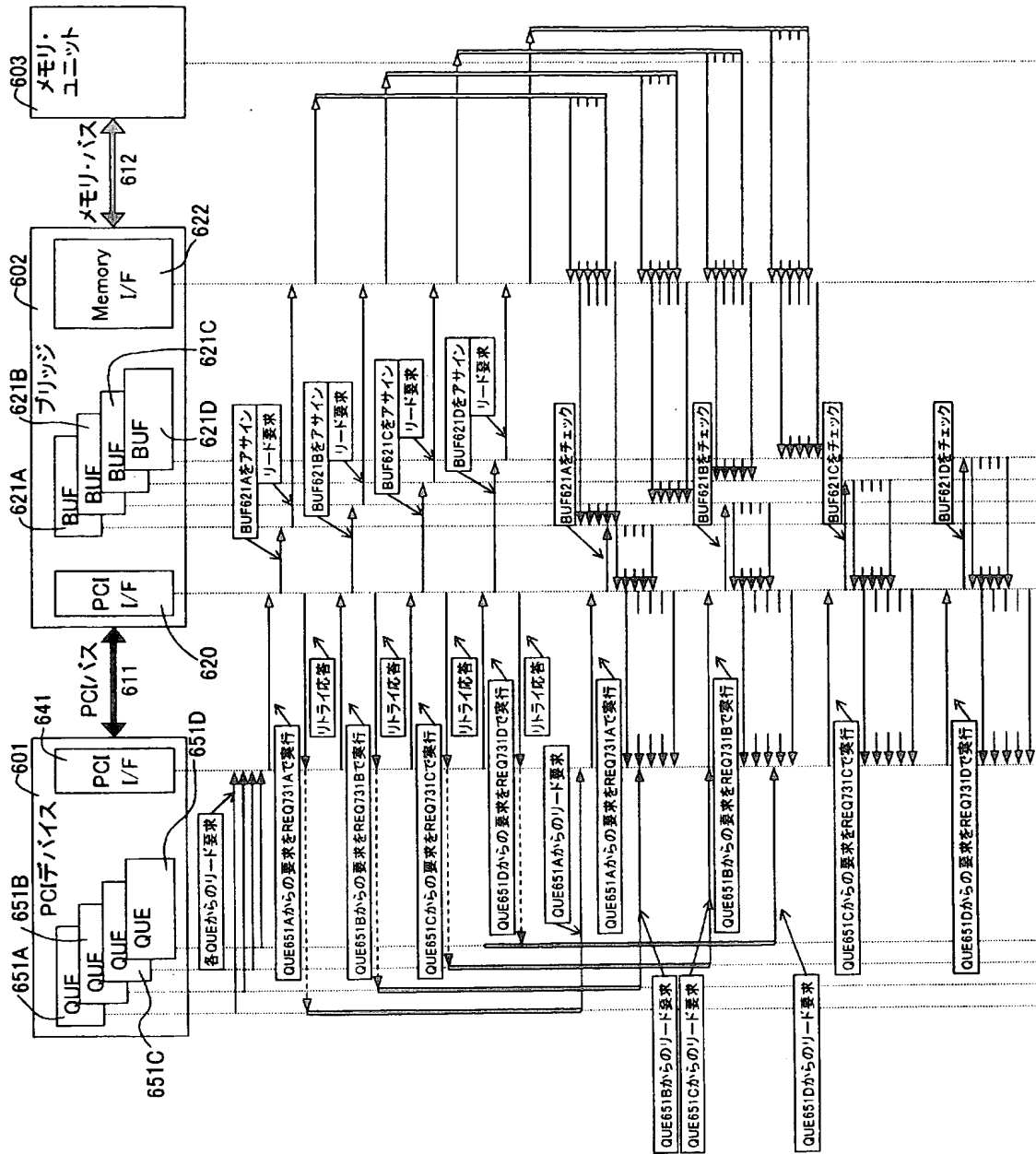
【図 4】



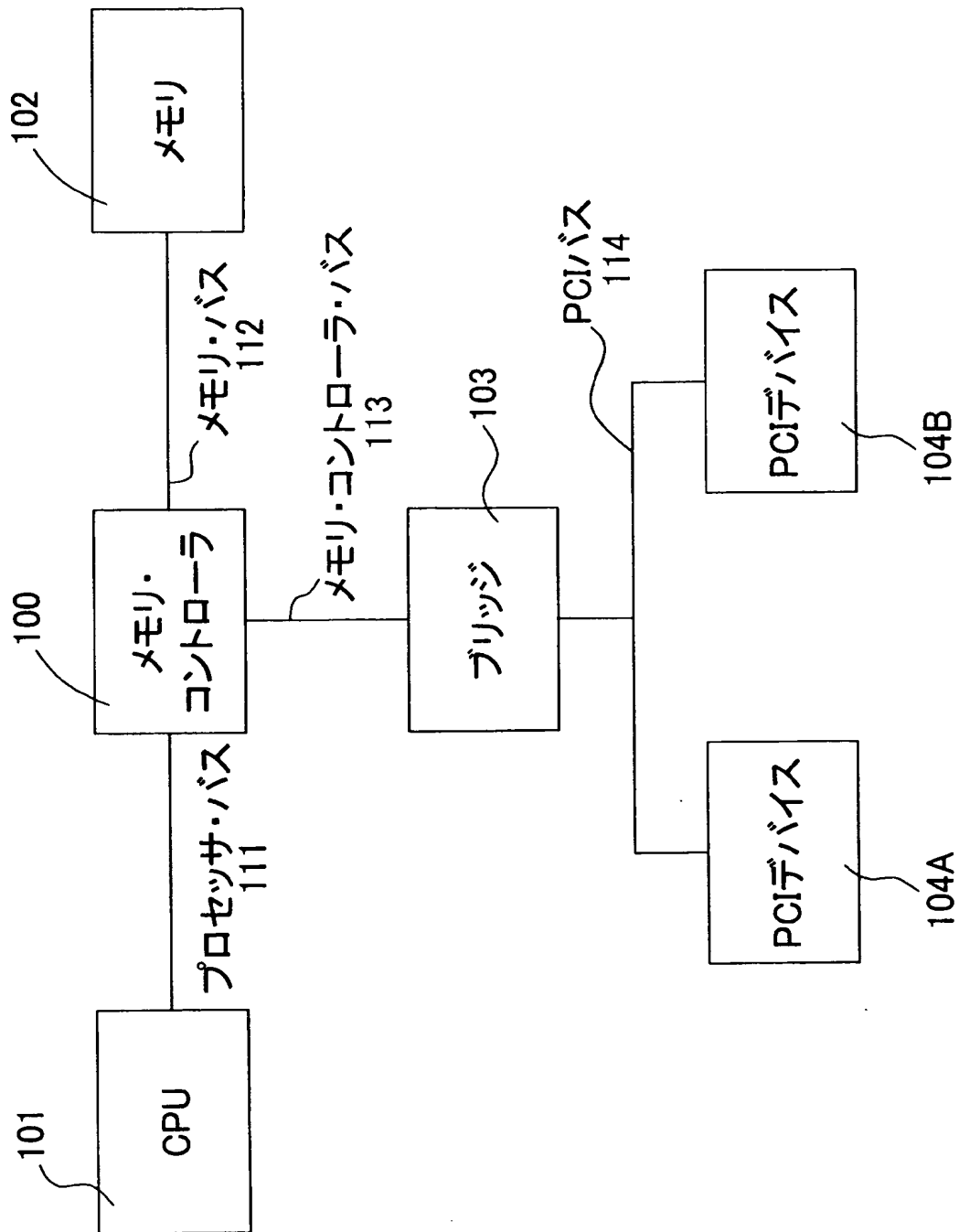
【図 5】



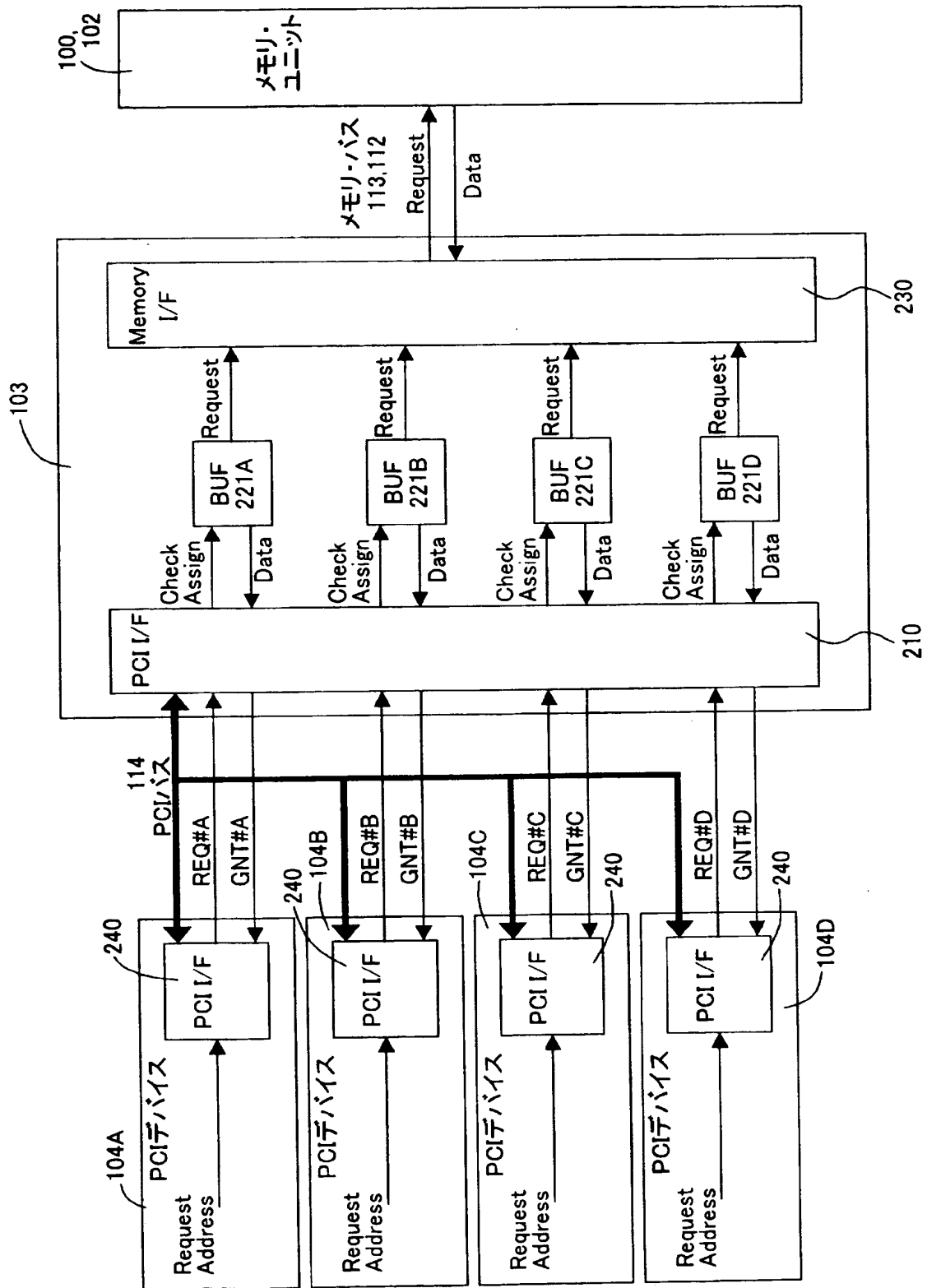
【図 6】



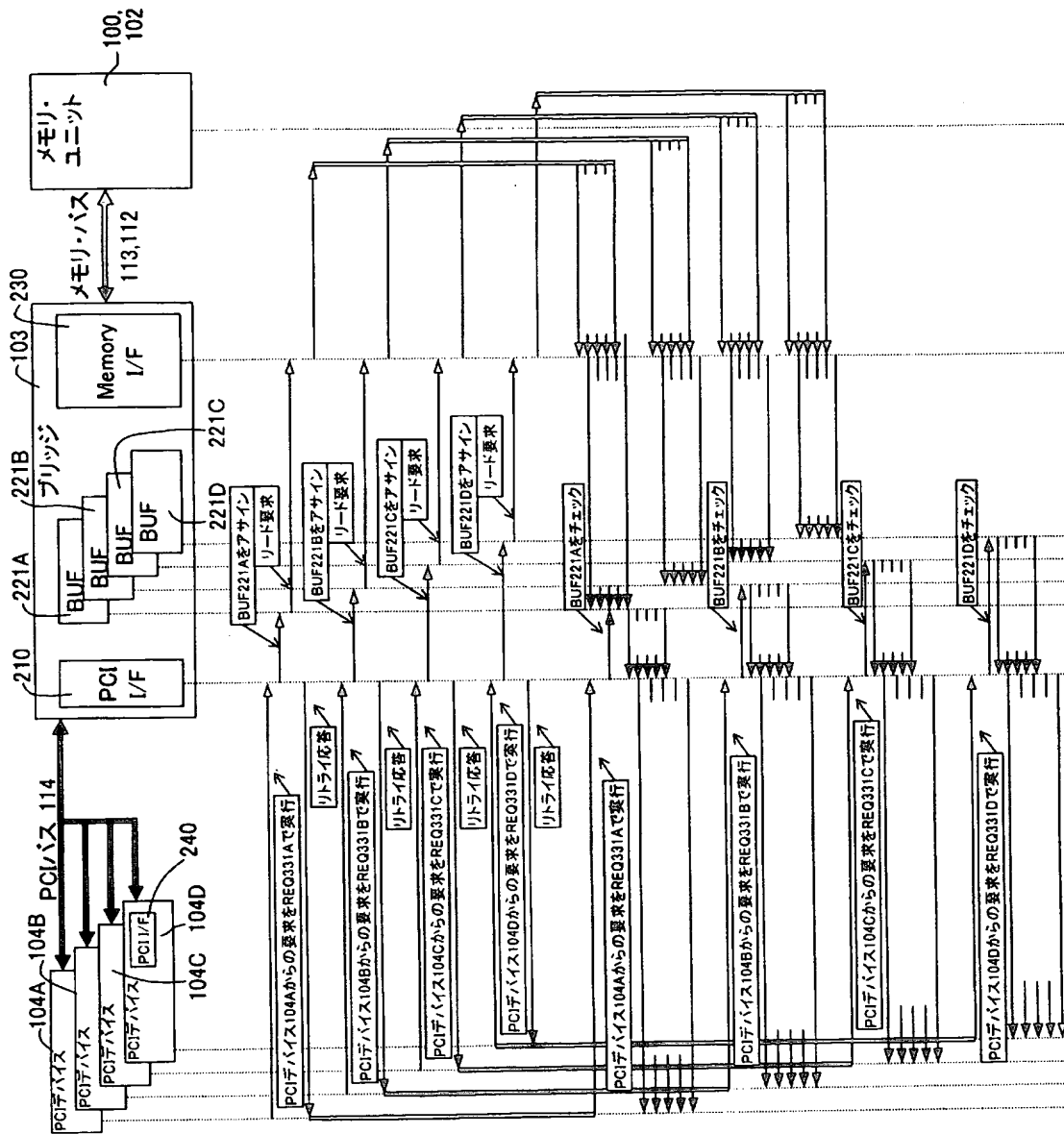
【図 7】



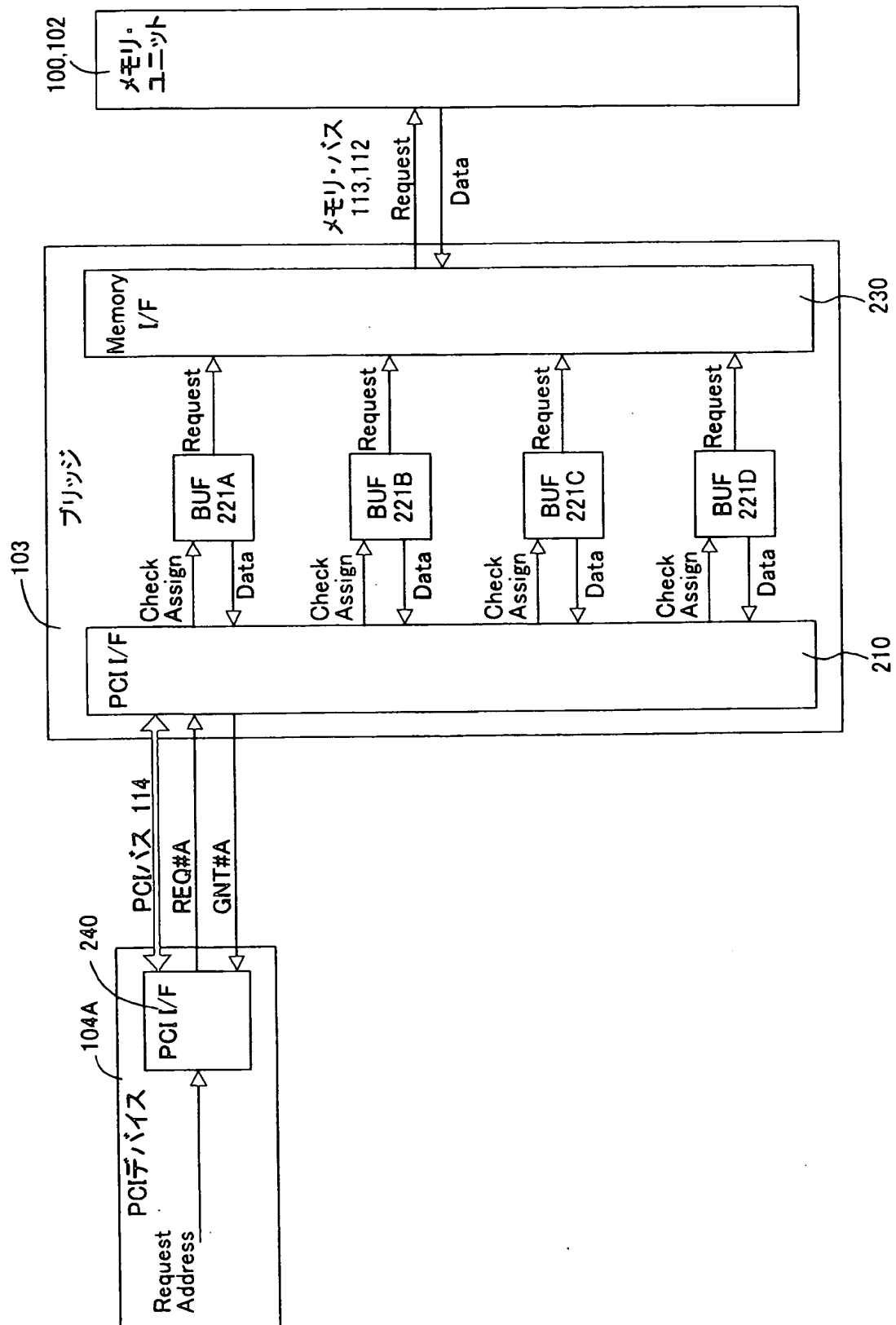
【図 8】



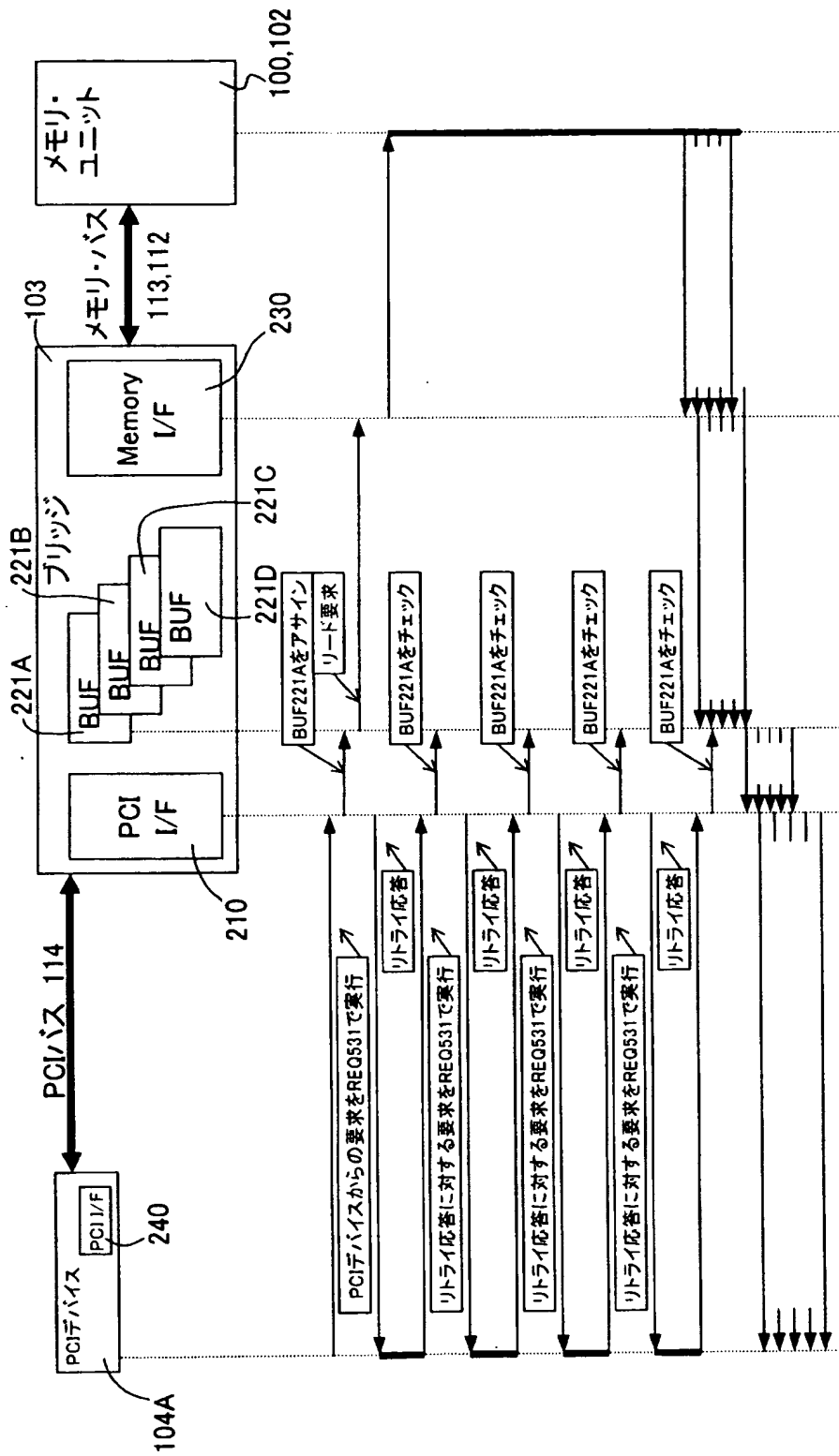
【図 9】



【図10】



【図 11】



【書類名】 要約書

【要約】

【課題】 メモリをアクセスし、プリフェッチバッファを複数有するブリッジ回路にバス接続されるバス接続回路に関し、1つのバス接続回路を接続しても、バスを効率良く使用する。

【解決手段】 複数のリクエストキュー（6 5 1 A～6 5 1 D）と、複数のリクエスト信号の出力及びグラント信号の入力を1つのバス接続デバイス（6 0 1）に付与した。1つのバス接続デバイスによって、ブリッジ回路（6 0 2）の複数のプリフェッチバッファ（6 2 1 A～6 2 1 D）を有効に利用することができ、またブリッジ回路（6 0 2）からのリトライ応答に対応する無駄なリードリクエストを減らすことができ、P C I バスの無駄な使用を減らすことが出来る。

【選択図】 図 1

特願 2 0 0 3 - 1 2 9 8 4 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 5 2 2 3]

1. 変更年月日
[変更理由]

1 9 9 6 年 3 月 2 6 日

住 所
氏 名

住所変更

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
富士通株式会社